#### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2004-087701

(43)Date of publication of application: 18.03.2004

(51)Int.CI.

H01L 23/12

(21)Application number: 2002-245485

(71)Applicant:

**NEC TOPPAN CIRCUIT SOLUTIONS TOYAMA INC** 

(22)Date of filing: 26.08.2002 (72)Inventor:

**ISHIOKA TAKU** 

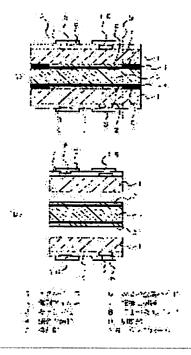
#### (54) METHOD FOR MANUFACTURING MULTILAYER INTERCONNECTION STRUCTURE AND METHOD FOR MOUNTING SEMICONDUCTOR DEVICE

(57)Abstract:

BEST AVAILABLE COPY

PROBLEM TO BE SOLVED: To provide a method for manufacturing a multilayer interconnection structure which can regulate a substrate thickness having excellent handleability and conveyability in a manufacturing process and which facilitates a mass production, and to provide a method for mounting a semiconductor device.

SOLUTION: The method for manufacturing the multilayer interconnection structure includes the steps of partly adhering and bonding a carrier plate 3 to a metal base 1 at an adhesive part 5 by an adhesive resin 4, forming a multilayer interconnection having a first metal pad 8, an insulating resin 7 and a second metal pad 6 on the base 1, and separating the base 1 from the plate 3 by cutting the adhered part 5 at a cutting part 9.



#### **LEGAL STATUS**

[Date of request for examination]

01.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## [0027]

## [Embodiments of The Invention]

The present invention will be explained with reference to the accompanying drawings. Fig. 1 includes sectional view showing the steps of a first embodiment of the present invention; Fig. 2 includes sectional view showing the steps following the steps shown in Fig. 1; and Fig. 3 includes sectional views showing the steps following the steps shown in Fig. 2.

## [0028]

Firstly, in the step shown in Fig. 1(A), metal bases 1 having rough surfaces are provided on both sides (an upper side and a lower side) of a carrier plate 3. In spaces between the metal bases 1 and the carrier plate 3, release film 2 or a release agent, whose length is shorter than an overlapping length of the metal bases 1 and the carrier plate 3 (a size in the transverse direction in the drawing) are provided to the metal bases, and adhesive resin 4, whose length is equal to the overlapping length, is provided to the carrier plate.

## [0029]

The metal bases 1 can be removed, by etching, in the final step, and they are made of an electric-conductive metal so as to be used as electric paths for plating. Further, they can be removed by etching and must have enough thickness as strong supporting bodies. Preferably, the metal bases 1 are made of, for example, a rolled steel plate having thickness of 0.2-0.4 mm or electrolytic copper film.

## [0030]

On the other hand, the carrier plate 3 is a plate or film, whose specific gravity is smaller than that of the metal bases and which has heat resistance, chemical resistance and enough rigidity for line expansion, e.g., glass cloth-polyimide substrate, glass cloth-epoxy substrate.

## [0031]

Preferably, the adhesive resin 4 is epoxy or polyimide resin having heat resistance and chemical resistance.

## [0032]

Note that, in the present embodiment, the metal bases 1 are provided on the both sides (the upper side and the lower side) of the carrier plate 3, but the metal base 1 may be provided on one side of the carrier plate 3.

## [0033]

In the step shown in Fig. 1(B), the adhesive resin 4, the release film 2 and the metal bases 1 are piled on the upper and the lower sides of the carrier plate 3, and a heat treatment is performed with a weight being mounted thereon. With this treatment, the carrier plate 3 and the metal bases 1 are partially adhered, by the adhesive resin 4, in an adhering part 5 of an outer circumferential section.

## [0034]

In the step shown in Fig. 2(A), a first metal pad 8 is formed on the metal base 1 by plating with a resist mask, the first metal pad 8 is entirely covered with insulating resin 7, an opening section, in which a surface of the first metal pad 8 is exposed, is formed as a hole (via hole) 16, the resist mask is selectively formed on the insulating resin

7, then a second metal pad 6 is formed, by plating with the resist mask, on the insulating resin 7 through the via hole 16.

## [0035]

In the step shown in Fig. 2(B), the outer circumferential section, which has been adhered by adhesive 5, is cut off at a cut position 9 (see Fig. 2(A)), so that the metal base 1 is separated from the carrier plate 3.

## [0036]

In the step shown in Fig. 3(A), the metal base 1 is selectively removed and partially left so as to form the metal base 1 into the supporting body 1.

## [0037]

In the step shown in Fig. 3(B), a semiconductor chip 10 is connected to the second metal pads 6 by metal bumps 11, spaces between the semiconductor chip 10, the second metal pads 6 and the insulating resin 7 are filled with underfil-resin 12, then the device is molded with resin 13.

## [0038]

In the final step shown in Fig. 3(C), the supporting body 1 or the metal base is removed by etching.

## [0039]

As shown in Fig. 3(C), a semiconductor device including the semiconductor chip 10, the metal bumps 11 and the underfil-resin 12 is mounted on a multilayered cable structure including the first metal pads 8, the second metal pads 6 and the insulating resin 7.

## [0040]

The multilayered cable structures including the first

metal pads 8, the second metal pads 6 and the insulating resin 7 are formed on the metal bases 1 in a midway, namely the multilayered cable structures including the first metal pads 8, the second metal pads 6 and the insulating resin 7 are formed by removing the supporting bodies 1 or the metal bases by etching in the step shown in Fig. 3(C).

## [0041]

The surfaces of the first metal pads 8, which have been exposed by removing the metal bases 1, will be connected to another semiconductor device or a mother board.

## [0042]

In the present invention, the carrier plate 3 is adhered to the metal bases 1, so that optimum total thickness of the metal bases 1 for a manufacturing line can be selected. By selecting the thicker total thickness, weight increase while manufacturing can be reduced in comparison with a case of selecting thickness of the metal bases only, so that a problem caused by weight increase can be solved. Therefore, the thickness of the metal bases 1 is based on a restriction for mounting the semiconductor device, the thickness can be minimized, and number of steps for removing the metal bases can be reduced.

## [0043]

Fig. 4 includes sectional view showing the steps of a second embodiment of the present invention; Fig. 5 includes sectional view showing the steps following the steps shown in Fig. 4. Note that, in Figs. 4 and 5, the structural elements shown in Figs. 1-3 are assigned the

same symbols.

## [0044]

Firstly, in the step shown in Fig.4(A), the metal bases 1 having rough surfaces are provided on the both sides (the upper side and the lower side) of the carrier plate 3. The adhesive resin 4 is selectively provided to the outer circumferential section between the metal bases 1 and the carrier plate 3.

## [0045]

In the present embodiment too, the metal bases 1 are provided on the both sides (the upper side and the lower side) of the carrier plate 3, but the metal base 1 may be provided on one side of the carrier plate 3.

## [0046]

In the step shown in Fig. 4(B), the adhesive resin 4, the release film 2 and the metal bases 1 are piled on the upper and the lower sides of the carrier plate 3, and a heat treatment is performed with a weight being mounted thereon. With this treatment, the carrier plate 3 and the metal bases 1 are partially adhered, by the adhesive resin 4, in adhering parts 5 of the outer circumferential section, and a center part is a nonadhered part 18.

## [0047]

In the step shown in Fig. 5(A), the multilayered structure including the first metal pads 8, the insulating resin 7, the via holes 16 and the second pads 6 is formed.

## [0048]

In the step shown in Fig. 5(B), the outer circumferential section, which has been adhered by

adhesive 5, is cut off at a cut position 9 (see Fig. 5(A)), so that the metal base 1 is separated from the carrier plate 3.

## [0049]

Then, the step shown Fig. 3 of the first embodiment is performed so as to form the multilayered cable structure and mount the semiconductor device thereon.

## [0050]

Fig. 6 includes sectional view showing the steps of a third embodiment of the present invention. Note that, in Fig. 6, the structural elements shown in Figs. 1-3 are assigned the same symbols.

## [0051]

The step shown in Fig. 6(A) is the same as that shown in Fig. 5(B) of the second embodiment. However, the step shown in Fig. 6(A) of the third embodiment may be the same as that shown in Fig. 2(B) of the first embodiment.

## [0052]

In the step shown in Fig. 6(B), the metal base 1 is entirely provided on the lower side, the semiconductor chip 10 is connected to the second meta pads 6 by the metal bumps 11, the spaces between the second metal pads 6 and the insulating resin 7 are filled with underfil-resin 12, and the device is molded with resin 13.

## [0053]

In the final step shown in Fig. 6(C), the entire metal base 1 is removed by etching.

## [0054]

Figs. 7 and 8 include sectional view showing the steps of a fourth embodiment of the present invention. Note

that, in Figs. 7 and 8, the structural elements shown in Figs. 1-3 are assigned the same symbols.

## [0055]

The step shown in Fig. 7(A) is the same as that shown in Fig. 5(B) of the second embodiment. However, the step shown in Fig. 7(A) of the fourth embodiment may be the same as that shown in Fig. 2(A) of the first embodiment.

## [0056]

In the step shown in Fig. 7(B), the multilayered structure including the first metal pads 8, the insulating resin 7, the via holes 16 and the second pads 6 is formed. The semiconductor chip 10 is connected to the second metal pads 6 by the metal bumps 11, the spaces between the second metal pads 6 and the insulating resin 7 are filled with underfil-resin 12, and the device is molded with resin 13.

## [0057]

In the step shown in Fig. 8(A), the outer circumferential section, which has been adhered by adhesive 5, is cut off at a cut position 9 (see Fig. 7(B)), so that the metal base 1 is separated from the carrier plate 3.

## [0058]

In the final step shown in Fig. 6(B), the entire metal base 1 is removed by etching.

(19) 日本国特許庁(JP)

### (12) 公 開 特 許 公 報(A)

(11)特許出願公開番号

特開2004-87701 (P2004-87701A)

(43) 公開日 平成16年3月18日 (2004.3.18)

(51) Int.Cl.<sup>7</sup>
HO1L 23/12

FI

テーマコード (参考)

HO1L 23/12 HO1L 23/12

Ŋ

審査請求 未請求 請求項の数 20 OL (全 12 頁)

(21) 出願番号 (22) 出願日 特願2002-245485 (P2002-245485)

平成14年8月26日 (2002.8.26)

(71) 出願人 000236931

株式会社トッパン エヌイーシー・サーキ

ット ソリューションズ 富山

富山県下新川郡入善町入膳560

(72) 発明者 石岡 卓

富山県下新川郡入善町入膳560番地

富山日本電気株式会社

内

(54) 【発明の名称】多層配線構造の製造方法および半導体装置の搭載方法

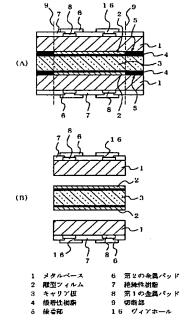
#### (57)【要約】

【課題】製造プロセスにおける取扱い性、機送性に優れた板厚に調整ができ、量産対応が容易となる多層配線構造の製造方法および半導体装置の搭載方法を提供する。

【解決手段】キャリア板8とメタルペース1とを挟着部5において接着性樹脂4により部分的に接着して貼りつけ、メタルペース1上に第1の金属パッド8、絶縁性樹脂7および第2の金属パッド6を具備した多層配線を形成し、接着している接着部5を切断部9で切断することによりメタルペース1をキャリア板8から分離する。

**図**2

【選択図】



#### 【特許請求の範囲】

#### 【請求項1】

キャリア板とメタルペースとを部分的に接着して貼りつける工程と、前記メタルペース上に多層配線を形成する工程と、前記接着している箇所を切断することにより前記メタルペースを前記キャリア板から分離する工程と、前記メタルペースを除去する工程とを有することを特徴とする多層配線構造の製造方法。

#### 【請求項2】

前記メタルペースの除去はエッチングによる除去であることを特徴とする請求項1記載の多層配線構造の製造方法。

#### 【請求項3】

前記メタルペースを部分的に除去することにより残っている箇所を支持体とし、この支持体により前記多層配線が支持された状態でその上に半導体装置の搭載を行い、その後、前記メタルペースの支持体の除去を行うことを特徴とする請求項1記載の多層配線構造の製造方法。

#### 【請求項4】

前記多層配線を形成し、その上に半導体装置の搭載を行ってから前記メタルペースの除去を行うことを特徴とする請求項1記載の多層配線構造の製造方法。

#### 【請求項5】

前記キャリア板の片面又は両面に前記メタルペースを貼りつけることを特徴とする請求項 1記載の多層配線構造の製造方法。

#### 【請求項6】

前記部分的な接着は接着削を部分的に載置して行うことを特徴とする請求項 1 記載の多層 配線構造の製造方法。

#### 【請求項7】

前記部分的な接着は接着剤を前記キャリア側の全面に載置し、接着しない領域を覆う離型フィルムまたは離型剤を前記メタルペース側に載置して行うことを特徴とする請求項1記載の多層配線構造の製造方法。

#### 【請求項8】

前記部分的に接着する箇所は、重なり合った前記キャリア板およびメタルペースの外周部であることをを特徴とする請求項 6 または請求項 7 記載の多層配線構造の製造方法。

#### 【請求項9】

前記多層配線は、前記メタルペース上に形成され該メタルペースを除去することにより面を露出する第1の金属パッドと、前記第1の金属パッド上に形成された絶縁性樹脂と、前記絶縁性樹脂上に形成されて該絶縁性樹脂に設けられたヴィアホールを通して前記第1の金属パッドに接続された第2の金属パッドとを具備していることを特徴とする請求項1乃至請求項8のいずれかに記載の多層配線構造の製造方法。

#### 【請求項10】

前記第2の金属パッドは半導体ペレットと接続されるパッドであることを特徴とする請求項9記載の多層配線構造の製造方法。

#### 【請求項11】

キャリア板とメタルペースとを部分的に接着して貼りつける工程と、前記メタルペース上に多層配線を形成する工程と、前記接着している箇所を切断することにより前記メタルペースを前記キャリア板から分離する工程と、前記メタルペースを除去する工程とを具備し、前記多層配線上に半導体装置を搭載する工程を有することを特徴とする半導体装置の搭載方法。

#### 【請求項12】

前記メタルペースを部分的に除去することにより残っている箇所を支持体とし、この支持体により前記多層配線が支持された状態で該多層配線上に半導体装置を搭載する工程を行い、しかる後、前記支持体を除去することを特徴とする請求項11記載の半導体装置の搭載方法。

10

20

40

#### 【請求項18】

前記多層配線の全面下に前記メタルペースが残っている状態で該多層配線上に半導体装置を搭載する工程を行い、しかる後、前記メタルペースを除去することを特徴とする請求項11記載の半導体装置の搭載方法。

#### 【請求項14】

キャリア板とメタルペースとを部分的に接着して貼りつけている状態で、前記多層配線を 形成する工程および前記多層配線上に半導体装置を搭載する工程を行い、次に、前記切断 により前記メタルペースを前記キャリア板から分離する工程を行い、次に、前記メタルペ ースを除去する工程を行うことを特徴とする請求項11記載の半導体装置の搭載方法。

#### 【請求項15】

前記キャリア板の片面又は両面に前記メタルペースを貼りつけることを特徴とする請求項 11記載の半導体装置の搭載方法。

#### 【請求項16】

前記部分的な接着は接着剤を部分的に載置して行うことを特徴とする請求項11記載の半導体装置の搭載方法。

#### 【請求項17】

前記部分的な接着は接着削を前記キャリア側の全面に載置し、接着しなり領域を覆う離型フィルムまたは離型削を前記メタルペース側に載置して行うことを特徴とする請求項11記載の半導体装置の搭載方法。

#### 【請求項18】

前記部分的に接着する箇所は、重なり合った前記キャリア板およびメタルペースの外周部であることをを特徴とする請求項16または請求項17記載の半導体装置の搭載方法。

#### 【請求項19】

前記多層配線は、前記メタルペース上に形成され該メタルペースを除去することにより面を露出する第1の金属パッドと、前記第1の金属パッド上に形成された絶縁性樹脂と、前記絶縁性樹脂上に形成されて該絶縁性樹脂に設けられたヴィアホールを通して前記第1の金属パッドに接続された第2の金属パッドとを具備していることを特徴とする請求項11万至請求項18のいずれかに記載の半導体装置の搭載方法。

#### 【請求項20】

前記第2の金属パッドは半導体ペレットと接続されるパッドであることを特徴とする請求 30項19記載の半導体装置の搭載方法。

#### 【発明の詳細な説明】

#### [0001]

#### 【発明の属する技術分野】

本発明は多層配線構造の製造方法および半導体装置の搭載方法に係わり、特に、メタルペースを用いた多層配線構造の製造方法およびこの多層配線構造に半導体装置を搭載する搭載方法に関する。

#### [0002]

#### 【従来の技術】

図 9 および図 1 0 を参照して従来技術の多層配線構造の製造方法および半導体装置の搭載 方法を説明する。

#### [0008]

先ず、図9(A)の工程において、メタルペース1上に選択的にメッキレジスト14を形成する。次に、図9(B)の工程において、メッキレジスト14をマスクにしたメッキにより、第1の金属パッド8をメタルペース1上に形成する。次に、図9(C)の工程において、全面に絶縁性樹脂7を形成して第1の金属パッド8を被覆する。次に、図9(D)の工程において、第1の金属パッド8の表面を露出する開口部をヴィアホール(Viohole)16として形成する。次に、図9(E)の工程において、絶縁性樹脂7上にメッキレジスト17を選択的に形成する。

#### [0004]

50

10

10

20

30

50

次に、図10(A)の工程において、メッキレジスト17をマスクにしたメッキにより、ヴィアホール16を通して第1の金属パッド8に接続する第2の金属パッド6を絶縁性樹脂7上に形成する。次に、図10(B)の工程において、メッキレジスト17を剥離する。これにより、第1の金属パッド8、第2の金属パッド6および絶縁性樹脂7を具備した多層配線が得られる。

[0005]

次に、図10(C)の工程において、半導体チップ10を金属パンプ11により第2の金属パッド6に接続し、半導体チップ10と第2の金属パッド6および絶縁性樹脂7間にアンダーフィル樹脂12を充填し、モールド樹脂13によりモールドする。最後に、図10(D)の工程において、メタルペース1をエッチング除去する。

[0006]

このようにして図10(D)に示すように、第1の金属バッド8、第2の金属バッド6および絶縁性樹脂7を具備した多層配線構造に半導体チップ10、金属パンプ11、アンダーフィル樹脂12およびモールド樹脂13を具備した半導体装置が搭載した構造が得られる。

[0007]

また、メタルペース1上に第1の金属パッド 8、第2の金属パッド 6 および絶縁性樹脂 7 から成る多層配線が途中工程において製造され、図10(D)の工程においてメタルペース1をエッチング除去することにより、第1の金属パッド 8、第2の金属パッド 6 および 絶縁性樹脂 7 から成る多層配線構造が得られる。

[0008]

せしてメタルペース1を除去することにより露出した多層配線構造の第1の金属パッド 8の表面は、他の半導体装置あるいはマザーボードに接続して使用される。

[0009]

【発明が解決しようとする課題】

上記した従来技術ではメタルペースを単体で使用した製造方法であるから、次に指摘するような問題が発生する。

[0010]

薄いメタルペースを用いた場合には、メタルペースの折れ・曲がりの発生し易くなり、これにより所定形状の多層配線構造あるいは所定形状の半導体装置を得ることが困難となる。また、メタルペースの折れ・曲がりの発生により、製造設備故障の誘発が発生しやすくなる。 さらに、メタルペースの折れ・曲がりの発生により、使用する治工具類が制約されて製造が不可能になる場合も生じる。

[0011]

すなわち従来技術においては、多層配線構造はメタルペース単体上、もしくはメタルペースを直接2枚貼りつけた形態の上で製造されてきたので、メタルペース自体の厚みが半導体装置実装工程、及びメタルペース除去工程の要因により決定される。したがって、多層配線構造の製造ラインおける最適板厚に比較して、薄い厚みが要求された。このため、薄いメタルペースはガラス布樹脂含浸基材等と比較し耐力が弱いため、製造ライン上で折れ・曲がりが発生し、歩留まりの低下を招いていた。更に板厚の制限により冶工具類の制約が発生し、従来からのプリント基板製造設備では工法の制限を招いていた。

[0012]

一方、厚いメタルペースを用いた場合には、メタルペースの重量増大による製造設備の機 送性・及び取扱いに問題を生じる。 さらに、厚いメタルペースのエッチング工数が増大し 、最惡の場合はエッチングが不可能となる。

[0013]

したがって本発明の目的は、上記した問題点を解消した多層配線構造の製造方法を提供することである。

[0014]

本発明の他の目的は、上記した問題点を解消した半導体装置の搭載方法を提供することで

10

20

30

40

50

ある.

[0015]

【課題を解決するための手段】

本発明の特徴は、キャリア板とメタルペースとを部分的に接着して貼りつける工程と、前記メタルペース上に多層配線を形成する工程と、前記接着している箇所を切断することにより前記メタルペースを前記キャリア板から分離する工程と、前記メタルペースを除去する工程とを有する多層配線構造の製造方法にある。ここで、メタルペースの除去はエッチングによる除去であることが好ましい。

[0016]

また、この多層配線構造の製造方法において、前記メタルペースを部分的に除去することにより残っている箇所を支持体とし、この支持体により前記多層配線が支持された状態でその上に半導体装置の搭載を行い、その後、前記メタルペースの支持体の除去を行うことができる。あるいは、前記多層配線を形成して、その多層配線上に半導体装置の搭載を行ってから前記メタルペースの除去を行うことができる。

[0017]

さらに、この多層配線構造の製造方法において、前記キャリア板の片面又は両面に前記メタルペースを貼りつけることができる。

[0018]

また、この多層配線構造の製造方法において、前記部分的な接着は接着剤を部分的に載置して行うことができる。あるいは、前記部分的な接着は接着剤を前記キャリア側の全面に載置し、接着しない領域を覆う離型フィルムまたは離型剤を前記メタルペース側に載置して行うことができる。

[0019]

さらに、この多層配線構造の製造方法において、前記部分的に接着する箇所は、重なり合った前記キャリア板およびメタルペースの外周部であることが好ましい。

[0020]

また、この多層配線構造の製造方法において、前記多層配線は、前記メタルペース上に形成され該メタルペースを除去することにより面を露出する第1の金属パッドと、前記第1の金属パッド上に形成された絶縁性樹脂と、前記絶縁性樹脂上に形成されて該絶縁性樹脂に設けられたヴィアホールを通して前記第1の金属パッドに接続された第2の金属パッドと手構していることが好ましい。この場合、前記第2の金属パッドは半導体ペレットと接続されるパッドであることができる。

[0021]

本発明の他の特徴は、キャリア板とメタルペースとを部分的に接着して貼りつける工程と、前記メタルペース上に多層配線を形成する工程と、前記接着している箇所を切断することにより前記メタルペースを前記キャリア板から分離する工程と、前記メタルペースを除去する工程とを具備し、前記多層配線上に半導体装置を搭載する工程を有する半導体装置の搭載方法にある。

[0022]

ここで、前記メタルペースを部分的に除去することにより残っている箇所を支持体とし、この支持体により前記多層配線が支持された状態で該多層配線上に半導体装置を搭載する工程を行い、しかる後、前記支持体を除去することができる。あるいは、前記多層配線の全面下に前記メタルペースが残っている状態で該多層配線上に半導体装置を搭載する工程を行い、しかる後、前記メタルペースを除去することができる。もしくは、キャリア板とメタルペースとを部分的に接着して貼りつけている状態で、前記多層配線を形成する工程をおよび前記多層配線上に半導体装置を搭載する工程を行い、次に、前記切断により前記メタルペースを前記キャリア板がら分離する工程を行い、次に、前記メタルペースを除去する工程を行うことができる。

[0023]

さらに、この半導体装置の搭載方法において、前記キャリア板の片面又は両面に前記メタ

ルペースを貼りつけることができる。

[0024]

また、この半導体装置の搭載方法において、前記部分的な接着は接着剤を部分的に載置して行うことができる。あるいは、前記部分的な接着は接着剤を前記キャリア側の全面に載置し、接着しない領域を覆う離型フィルムまたは離型剤を前記メタルペース側に載置して行うことができる。

[0025]

さらに、この半導体装置の搭載方法において、部分的に接着する箇所は重なり合った前記 キャリア板およびメタルペースの外周部であることが好ましい。

[0026]

また、この半導体装置の搭載方法において、前記多層配線は、前記メタルペース上に形成され該メタルペースを除去することにより面を露出する第1の金属パッドと、前記第1の金属パッド上に形成された絶縁性樹脂と、前記絶縁性樹脂上に形成されて該絶縁性樹脂に設けられたヴィアホールを通して前記第1の金属パッドに接続された第2の金属パッドと等していることが好ましい。この場合、前記第2の金属パッドは半導体ペレットと接続されるパッドであることができる。

[0027]

【発明の実施の形態】

以下、図面を用いて本発明を説明する。図1は本発明の第1の実施の形態の工程を順に示した断面図であり、図2は図1の後の工程を順に示した断面図であり、図3は図2の後の工程を順に示した断面図である。

[0028]

先ず、図1(A)の工程において、表面を粗化したメタルペース1をキャリア板3の両側(上下側)にせれぜれ配置する。また、されぜれのメタルペース1とキャリア板3との間には、メタルペース1とキャリア板3とが重畳する長さ(図で横方向の寸法)よりも短い長さの離型フィルム2あるいは離型剤をメタルペース側に配置し、重畳する長さと同じ長さの接着性樹脂4をキャリア板側に配置する。

[0029]

メタルペース1は、最終段階の工程でエッチング除去するためにエッチング除去が可能で、且つ、メッキ工程の通電路にするために電気伝導性の優れた金属である必要がある。また、厚さは、エッチング除去が可能で且つ支持体としての強度を有する厚みを有することが必要である。したがって、メタルペース1は、例えば、0.2mm~0.4mmの厚さを有する圧延銅板または電解銅箔等を用いることが好ましい。

[0030]

一方、キャリア板 3 は、上記メタルペースより比重の小さく、耐熱性・耐薬品性及びライン展開に必要十分な剛性を有する物質で作られた板、フィルムであり、例えば、 0 . 4 mm~1 . 6 mmの厚さを有するガラスクロス布ポリイミド基材・ガラスクロス布エポキシ基材を使用することが好ましい。

[0031]

また、接着剤樹脂4は、エポキシ系又はポリイミド系の耐熱性、耐薬品性を有する樹脂を 使用することが好ましい。

[0082]

尚、この実施の形態ではメタルペース 1 をキャリア板 3 の両側(上下側)にそれぞれ配置した場合を示しているが、メタルペース 1 をキャリア板 3 の片側のみに配置した場合も同様である。

[0033]

次に、図1(B)の工程において、キャリア板8の上下側に接着性樹脂4、離型フィルム2、メタルペース1を積み重ね、錘を載せた状態で加熱処理を行う。これにより、外周部の接着部5においてキャリア板3とメタルペース1とを接着剤樹脂4により部分的に接着する。

10

20

30

50

[0034]

次に、図2(A)の工程において、メッキレジストをマスクにしたメッキにより、第1の金属パッド8をメタルペース1上に形成し、全面に絶縁性樹脂7を形成して第1の金属パッド8を被覆し、第1の金属パッド8の表面を露出する開口部をヴィアホール(Viahole)16として形成し、絶縁性樹脂7上にメッキレジストを選択的に形成し、このメッキレジストをマスクにしたメッキにより、ヴィアホール16を通して第1の金属パッド8に接続する第2の金属パッド6を絶縁性樹脂7上に形成する。

[0035]

次に、図2(B)の工程において、切断部9(図2(A))において切断することにより接着的5により接着していた外周部を切断除去し、これにより、メタルペース1をキャリア板3から分離する。

10

20

[0036]

次に、図3(A)の工程において、メタルペース1を選択的に除去して周辺箇所を残余させて、メタルペース1による支持体1を形成する。

[0037]

次に、図3(B)の工程において、半導体チップ10を金属パンプ11により第2の金属パッド6に接続し、半導体チップ10と第2の金属パッド6および絶縁性樹脂7間にアンダーフィル樹脂12を充填し、モールド樹脂13によりモールドする。

[0088]

最後に、図3(C)の工程において、メタルペースによる支持体1をエッチング除去する

[0039]

このようにして図3(C)に示すように、第1の金属パッド8、第2の金属パッド6および絶縁性樹脂7を具備した多層配線構造に半導体チップ10、金属パンプ11、アンダーフィル樹脂12およびモールド樹脂13を具備した半導体装置が搭載した構造が得られる

[0040]

また、メタルベース1上に第1の金属パッド8、第2の金属パッド6および絶縁性樹脂でから成る多層配線が途中工程において製造され、図8(C)の工程においてメタルベースによる支持体1をエッチング除去することにより、第1の金属パッド8、第2の金属パッド6および絶縁性樹脂でから成る多層配線構造が得られる。

30

[0041]

せしてメタルペース 1 を除去することにより露出した多層配線構造の第 1 の金属パッド 8 の表面は、他の半導体装置あるいはマザーボードに接続して使用される。

[0042]

このように本発明では、メタルペース1にキャリア板3に貼りつける事により、メタルペース1は製造ラインに最適な総板厚の選択が可能となる。また、総板厚を厚くすることによる製造時の重量増加がメタルペース単体で実施するよりも抑制でき、重量増による製造ライン上での問題が解決できる。これよりメタルペース1の厚みは半導体装置実装時の制約にのみ基づき、必要最小限の板厚に抑制でき、メタルペース板除去工程の工数削減も可能となる。

40

[0043]

図4は本発明の第2の実施の形態の工程を順に示した断面図であり、図5は図4の後の工程を順に示した断面図である。尚、図4および図5において図1乃至図3と同一もしくは類似の箇所は同じ符号を付してある。

[0044]

先ず、図4 (A)の工程において、表面を粗化したメタルペース1をキャリア板3の両側(上下側)にされぞれ配置する。また、されぞれのメタルペース1とキャリア板3との間であって外周部のみに接着性樹脂4を選択的に配置する。

[0045]

尚、この実施の形態でもメタルペース 1 をキャリア板 3 の両側(上下側)にやれぞれ配置した場合を示しているが、メタルペース 1 をキャリア板 3 の片側のみに配置した場合も同様である。

[0046]

次に、図4(B)の工程において、キャリア板3の上下側に接着性樹脂4、離型フィルム2、メタルペース1を積み重ね、錘を載せた状態で加熱処理を行う。これにより、外周部における接着部5においてキャリア板3とメタルペース1とが接着性樹脂4により部分的に接着され、中央部が接着されていない領域18となる。

[0047]

次に、図5(A)の工程において、第1の金属パッド8、絶縁性樹脂7、ヴィアホール1 6、第2の金属パッド6による多層配線を形成する。

[0048]

次に、図5(B)の工程において、切断部9(図5(A))において切断することにより 接着部5において接着していた外周部を切断除去し、これにより、メタルペース1をキャリア板3から分離する。

[0049]

その後、第1の実施の形態の図3と同様の工程を行って、多層配線構造を製造し、またその上に半導体装置を搭載する。

[0050]

図6は本発明の第3の実施の形態の工程を順に示した断面図である。尚、図6において図 2017万至図3と同一もしくは類似の箇所は同じ符号を付してある。

[0051]

先ず、図6(A)の工程における状態は、第2の実施の形態による図5(B)と同じである。しかしての第3の実施の形態による図6(A)の工程における状態は、第1の実施の形態による図2(B)と同じでもよい。

[0052]

次に、図6(B)の工程において、メタルペース1が全面下に設けられている状態で、半導体チップ10を金属パンプ11により第2の金属パッド6に接続し、半導体チップ10と第2の金属パッド6および絶縁性樹脂7間にアンダーフィル樹脂12を充填し、モールド樹脂13によりモールドする。

[0053]

最後に、図 6 (C)の工程において、メタルペース1の全体をエッチング除去する。

[0054]

図7 および図8 は本発明の第4 の実施の形態の工程を順に示した断面図である。尚、図7 および図8 において図1 乃至図3 と同一もしくは類似の箇所は同じ符号を付してある。

[0055]

先ず、図7(A)の工程における状態は、第2の実施の形態による図5(A)と同じである。しかしこの第4の実施の形態による図7(A)の工程における状態は、第1の実施の形態による図2(A)と同じでもよい。

[0056]

次に、図7(B)の工程において、第1の金属パッド8、絶縁性樹脂7、ヴィアホール16、第2の金属パッド6による多層配線を形成する。そして、半導体チップ10を金属パンプ11により第2の金属パッド6に接続し、半導体チップ10と第2の金属パッド6および絶縁性樹脂7間にアンダーフィル樹脂12を充填し、モールド樹脂13によりモールドする。

[0057]

次に、図8(A)の工程において、切断部9(図7(B))において切断することにより 接着部5において接着していた外周部を切断除去し、これにより、メタルペース1をキャリア板3から分離する。

[0058]

50

40

10

最後に、図6(B)の工程において、メタルペース1の全体をエッチング除去する。

#### [0059]

#### 【発明の効果】

以上説明したように本発明によれば、メタルペースをキャリア板に貼りつけて製造を行うから、製造プロセスにあける取扱り性、機送性に優れた板厚に調整ができ、量産対応が容易となる。またメタルペースの厚さが厚くなることを抑制でき半導体装置の搭載後のメタルペースの除去が容易となる。

#### 【図面の簡単な説明】

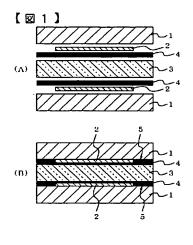
- 【図1】本発明の第1の実施の形態の工程を順に示した断面図である。
- 【図2】図1の後の工程を順に示した断面図である。
- 【図3】図2の後の工程を順に示した断面図である。
- 【図4】本発明の第2の実施の形態の工程を順に示した断面図である。
- 【図5】図4の後の工程を順に示した断面図である。
- 【図6】本発明の第3の実施の形態の工程を順に示した断面図である。
- 【図7】本発明の第4の実施の形態の工程を順に示した断面図である。
- 【図8】図7の後の工程を順に示した断面図である。
- 【図9】従来技術の工程を順に示した断面図である。
- 【図10】図9の後の工程を順に示した断面図である。

#### 【符号の説明】

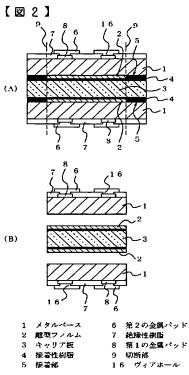
- 1 メタルペース
- 2 離型フィルム
- 3 キャリア板
- 4 接着性樹脂
- 5 接着部
- 6 第2の金属パッド
- 7. 絕緣性樹脂
- 8 第1の金属パッド
- 9 切断部
- 10 半導体チップ
- 1 1 金属パンプ
- 12 アンゲーフィル樹脂
- 18 モールド樹脂
- 14 メッキレジスト
- 16 **ヴィアホール** (Via hole)
- 17 メッキレジスト
- 18 接着されていない領域

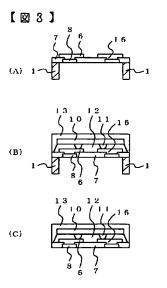
10

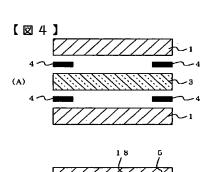
20

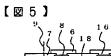


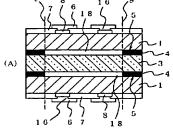
- メタルベース
   離型フィルム
   キャリア板
   接着性樹脂
   接着部

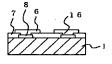


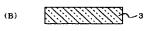


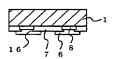




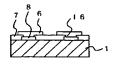




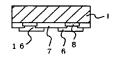


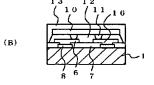


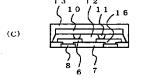
[図6]



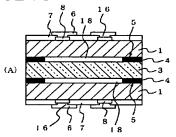


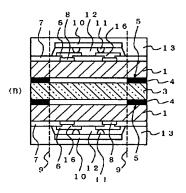


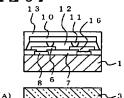


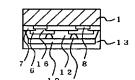


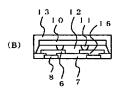
【図7】



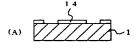


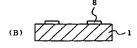


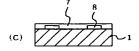


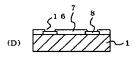


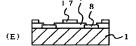
## [29]



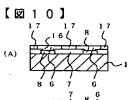


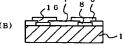


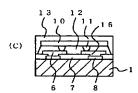


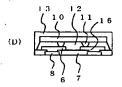












# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ PADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

# IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.